

PACKAGE OF INTEGRATED CIRCUIT

Patent Number: JP59227143
Publication date: 1984-12-20
Inventor(s): NISHIKAWA SEIICHI
Applicant(s):: DAINIPPON INSATSU KK
Requested Patent: ☐ JP59227143
Application Number: JP19830101317 19830607
Priority Number(s):
IPC Classification: H01L23/12 ; H01L23/28 ; H01L23/48
EC Classification: -
Equivalents:

Abstract

PURPOSE: To contrive improvement of the mounting density by arranging the lead part of the lead frame on either of the top surface or the bottom surface of the resin sealed body.

CONSTITUTION: The leads 2b are arranged so as to surround a chip bonding part 2a located in the center of the lead frame and one of the leads is formed to be connected to said bonding part 2a. In the center of each lead 2b, a terminal 2c projects vertically to the plane of the frame. After resin sealing 3, the terminal is exposed out of the resin surface and cut by the line CL thereby completing the operation. The exposed part of the lead is subjected to Au gilding or two-layer gilding of Ni and Au and the lead frame and the IC chip are connected by wire interconnection or gang interconnection. This constitution offers the IC suitable for incorporation of IC card especially. By using the projecting shape of the lead 2b, reinforcement of prevention of detachment and the device having high mounting density can be obtained.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭59—227143

④ Int. Cl.³

識別記号

庁内整理番号

③ 公開 昭和59年(1984)12月20日

H 01 L 23/12

7357—5F

23/28

7738—5F

23/48

7357—5F

発明の数 1

審査請求 未請求

(全 6 頁)

④ 集積回路パッケージ

小金井市貫井北町 2—15—12

① 出 願 人 大日本印刷株式会社

東京都新宿区市谷加賀町 1 丁目

12 番地

② 特 願 昭58—101317

③ 出 願 昭58(1983)6月7日

⑤ 発 明 者 西川 誠一

④ 代 理 人 弁理士 猪股清

外 3 名

明細書の序言(内容に変更なし)

明 細 書

1. 発明の名称 集積回路パッケージ

2. 特許請求の範囲

1. リードフレームのリード部に IC チップが接合された上で樹脂モールドが施され、次いで前記リードフレームの不要部分が切断されることにより構成される集積回路において、前記リードフレームのリード部を樹脂モールドの表面に露出させたことを特徴とする集積回路。

2. 特許請求の範囲第 1 項記載の集積回路において、前記リード露出部分は金メッキ層で被覆されてなる集積回路。

3. 特許請求の範囲第 1 項記載の集積回路において、前記リード露出部分はニッケルメッキ層および金メッキ層の 2 層メッキ層で被覆されてなる集積回路。

4. 特許請求の範囲第 1 項記載の集積回路において、前記リードフレームと前記 IC チップとは

ワイヤボンディングにより接合されてなる集積回路。

5. 特許請求の範囲第 1 項記載の集積回路において、前記リードフレームと前記 IC チップとはワイヤボンディングにより接合されてなる集積回路。

3. 発明の詳細な説明

本発明は集積回路パッケージに関する。

近年電子回路の代名詞的存在となつた集積回路は、半導体素子等により構成された IC チップ、この IC チップの端子を外部に接続するため及び集積回路を機械的に支持するためのリード、ならびに IC チップの封止および IC チップとリードとの接続部分の封止、さらに集積回路全体のハウジングとしてのパッケージからなつてゐる。

このパッケージには樹脂タイプのものとセラミックタイプのものがあり、まず樹脂タイプのものは第 1 図または第 2 図に示すような構造となつてゐる。第 1 図(a)、(b)のものはデュアルインライン

パッケージ (DIP) と呼ばれ、1Cチップ1をリードフレーム2上に設置して1Cチップの端子とリードフレーム2のリードとをワイヤボンディングした上で1Cチップ1および1Cチップ1とリードとの接続部分を樹脂モールド3により封止してなる。また第2図のものはフラットパッケージと呼ばれ、リードフレーム2のリードが平面内に引き出されている。

一方セラミックタイプのものに第3図(a)、(b)に示すように、1Cチップ1をセラミック基板4上に設置して1Cチップ1の端子をセラミック基板4の周縁に設けたメタライズ接続5にワイヤボンディングし蓋6を被せてなるものである。

これら樹脂タイプおよびセラミックタイプの集積回路はそれぞれ一長一短があるが、コスト的に見た場合には樹脂タイプのものが遙かに利用し易い。

しかしながら、樹脂タイプのものはリードが集積回路の側面に出るため、いくつかの集積回路を所定面積域内に並置しようとする場合に集積密度

が上げられないという欠点がある。

本発明は上述の点を考慮してなされたもので、リードを頂面、底面の少くとも一面に設けてなる樹脂モールド型集積回路パッケージを提供するものである。

以下第4図乃至第11図を参照して本発明を実施例につき説明する。

第4図は本発明の集積回路に用いるリードフレームの一例を平面形状で示したものであり、中央部に1Cチップ1を設置するための1Cチップマウント部2_aが設けられ、このマウント部2_aを取り囲んでリード2_bが8個設けられている。リード2_bの1つはマウント部2_aに連絡されている。そして、各リード2_bの中央部には端子2_cが設けられている。この端子2_cはリードフレーム2の平面に對し垂直方向に突出して、後に樹脂モールド3が施された状態で樹脂表面から突出するようになっている。

そして切断線Cで切断されることにより1つの集積回路が出来上る。

第5図(a)、(b)は本発明に係る集積回路パッケージの外観形状を示したもので、同図(a)はリード2_bの樹脂モールド側方への突出部分を切断したもの、同図(b)は適当の長さだけリード2_bを裁したもの、これらは何れも外部回路等との接続を主として端子2_cにより行うからリード2_bの長さはせいぜい集積回路を固定するために必要な程度でよく、また固定を接着等の他の手段によつて行うことにより集積回路の実装密度を向上し得る。なお、リード2_bを集積回路の固定に利用すれば剥落防止効果も得られる。

第6図(a)、(b)、(c)は第4図のリードフレームを用いて構成した本発明に係る集積回路の側断面形状を示したもので、同図(a)は端子2_cが樹脂モールド3の樹脂表面から突出した例、同図(b)は端子2_cが樹脂表面と同一面をなす場合、同図(c)は端子2_cが樹脂表面より窪んでいる場合をそれぞれ示している。各場合とも端子2_cの表面には金メッキ等を施しておくことが好ましい。

これら各場合とも1Cチップ1はリードフレ

ーム2に對し端子2_cと反対側に設けてある。これは、1Cチップ1を端子2_cと同一側に設けた場合、端子2_cの突出寸法を1Cチップ1の高さよりも大としなければならず、それにはリードフレーム2の板厚をかなり大にする等の対策が必要なのである。したがつてマウント部2_aをリード2_bより一段下げる等の1Cチップ1の取付けがより低くなる手段を講じるか、あるいは端子2_cをリードフレーム2とは別個に製作しリードフレーム2上に付着させる方法を採るかすれば、1Cチップ1と端子2_cとをリードフレーム2の同一側に配しても差支えない。

第7図(a)、(b)はリードフレーム2を折曲げ成形することにより端子2_cを形成した場合の集積回路の側断面形状を示したもので、同図(a)が端子2_cの突出したもの、同図(b)が端子2_cが突出しないものを示している。

第8図(a)、(b)は上述のワイヤボンディングと異なり、ダイレクトボンディングにより1Cチップ1とリード2_bとを接続してなる集積回路の例を示

しており、また(a)の場合に端子2cが樹脂モールド3の樹脂表面から突出した例、図(b)の場合は同一面をなす例である。図示しないが図6(a)の例のように端子2cが樹脂表面より突出したものも勿論可能である。

第9図(a)、(b)はギヤングギヤンディングによる第7図(a)、(b)に相当する構造の断面形状を示したものであり、ICチップ1が直接リード2bに接続される外は第7図と同様である。

第10図(a)、(b)は第9図(a)、(b)の集積回路の平面形状を示したもので、リード2bのICチップ1寄りの端部はICチップ1の端子に位置合わせできるように端部同士が接近し且つ尖っており、ICチップ1の端子に直接接続される。そしてリード2bのパッケージから突出した部分は短く成形されている。

第11図(a)、(b)は上述の集積回路をICカードすなわちプラスチックカードに集積回路を組込んだもので、例えば銀行の自動支払機等において使用されるものに組込んだ例を示している。上述の集

積回路10はプラスチックカード20の表面所定領域に図(a)に示すように配される。そして組込構造を断面で示したのが図(b)であり、集積回路10は離層剥離によりカード20の一方のオーバーレイ5に固定される。カード20は一方のセンターコア4が貼り合わせたもの又は一枚のセンターコアに一方のオーバーレイ5、5が貼着されてなり、センターコア4とオーバーレイ5との間に印刷が施されている。カード20の全厚みは0.6~0.8mmであり、集積回路10はそれよりも厚く製作できるから、カード20の面と集積回路10の面を同一面とすることは容易である。

このカードは所定のカード読取機に投入されると端子2cを介してカード読取機と集積回路との間での信号授受が行われ、カード読取される。

本発明は上述のように、集積回路の頂面等に端子を有するようにしたため、常にICカード組込みに通じた集積回路が得られる。そして、このICカードの組込み時にはリード2bが集積回路割断から突出したものをを用いれば断絶防止のため

の補強が行われる。またカード以外に適用しても集積回路の実装密度を向上することができる。

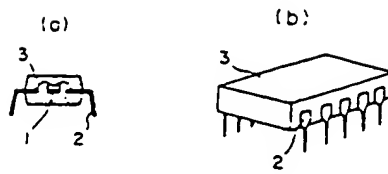
4. 図面の簡単な説明

第1図(a)、(b)および第2図は従来の樹脂タイプ集積回路の構造説明図、第3図(a)、(b)は同じくセラミックタイプ集積回路の構造説明図、第4図は本発明に係る集積回路製作に用いるエフテンダで端子を設けたリードフレームの一例を示す平面図、第5図(a)、(b)は本発明に係る集積回路の外観形状を示す図、第6図(a)、(b)、(c)は第4図のリードフレームを用いて形成した集積回路の断面構造を示す図、第7図(a)、(b)は折曲げにより端子を形成したリードフレームによる集積回路の断面構造を示す図、第8図(a)、(b)および第9図(a)、(b)はギヤングギヤンディングによる集積回路の断面構造を示す図、第10図(a)、(b)はギヤングギヤンディングによる集積回路の平面構造を示す図、第11図(a)、(b)は本発明に係る集積回路をICカードに適用した場合の説明図である。

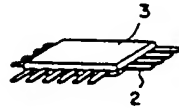
1…ICチップ、2…リードフレーム、2a…ICチップマウント部、2b…リード、2c…端子、3…樹脂モールド、4…セラミック基板、5…メタライズ電極、6…蓋、10…集積回路、20…カード。

出願人代理人 篠 田 清

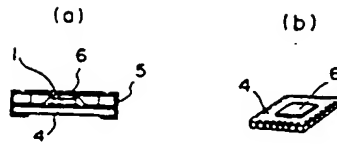
第 1 圖



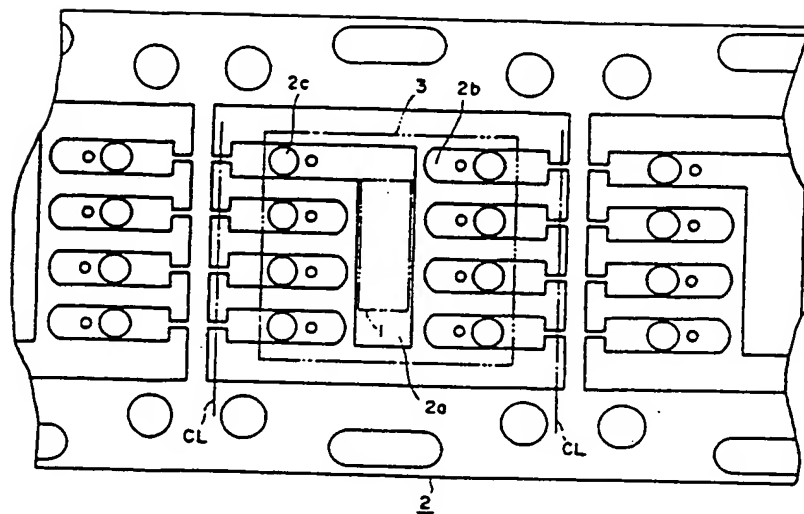
第 2 圖



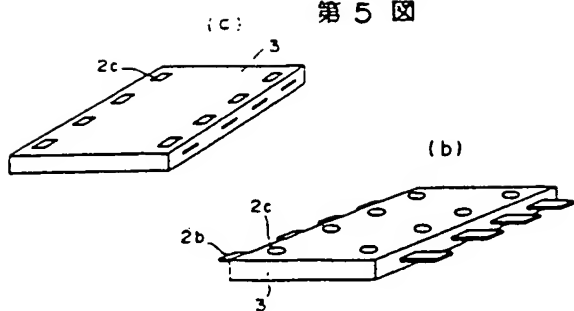
第 3 圖



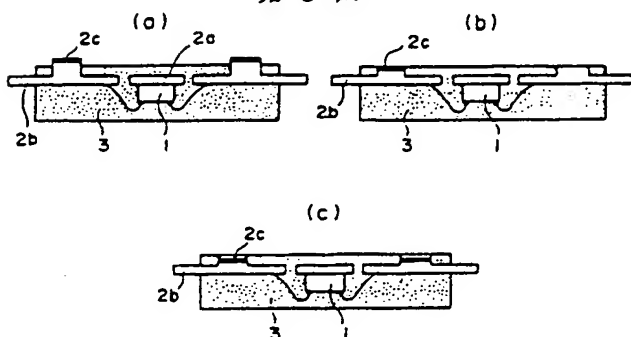
第 4 圖



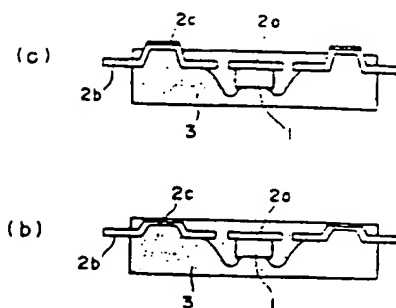
第5図



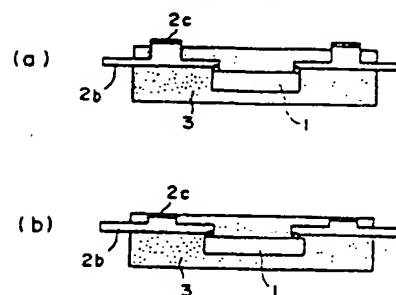
第6図



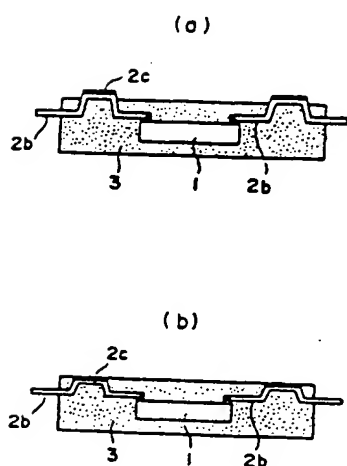
第7図



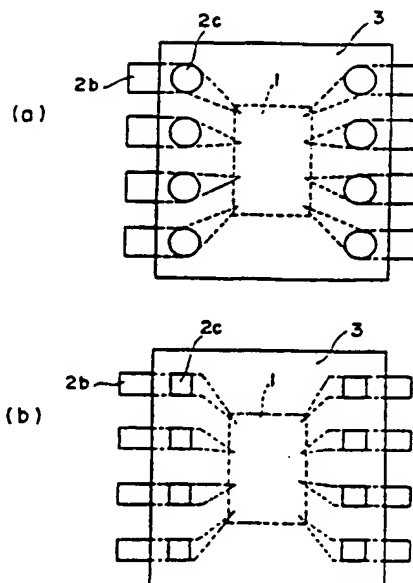
第8図



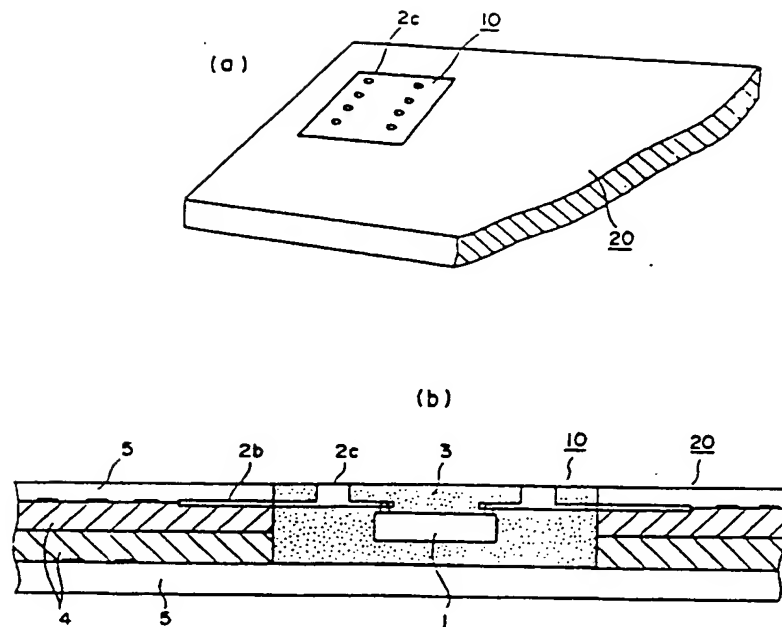
第9図



第10図



第 11 図



手 続 補 正 書

昭和 58 年 7 月 7 日

特許庁長官 石 井 和 夫 殿

1. 事件の表示

昭和 58 年 特 許 願 第 101817 号

2. 発明の名称

無模図紙パッケージ

3. 補正をする者

事件との関係 特許出願人

(289)大日本印刷株式会社

4. 代理人

(郵便番号 100)

東京都千代田区丸の内三丁目 2 番 3 号

(電話 東京 (211) 2321 大代通)

4330 弁護士 堀 啓 一



5. 補正命令の日付

昭和 58 年 7 月 7 日

6. 補正により する発明の数

7. 補正の対象

明細書および図面

8. 補正の内容

明細書および図面の序言（内容に変更なし）